

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-358297

(43)Date of publication of application : 26.12.2001

(51)Int.Cl.

H01L 27/04
H01L 21/822

(21)Application number : 2000-178770

(71)Applicant : NEC CORP

(22)Date of filing : 14.06.2000

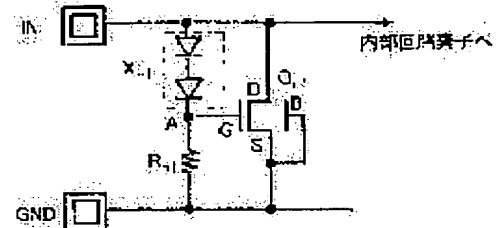
(72)Inventor : ANDO TAKESHI

(54) STATIC ELECTRICITY PROTECTION CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a static electricity protection circuit for protecting a circuit element with a low insulation breakdown voltage by reducing a trigger voltage for causing a MOSFET to generate a snap-back operation.

SOLUTION: This static electricity protection circuit is provided with an nMOSFET for protection where a drain is connected to input/output terminals and a source and a substrate are connected to each grounding potential, a row of diodes consisting of at least one diode that is connected in series in a forward direction between the gate of the nMOSFET for protection and the input/output terminals, and a resistor that is connected between the gate of the nMOSFET for protection and the grounding potential.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(11)特許出願公開番号

特開2001-358297
(P2001-358297A)

(43)公開日 平成13年12月26日(2001.12.26)

(S)InCl ₃	H01L 27/04	F I	発明記号	フ-ロ-ト(多結)
H01L 27/04	21/822	H01L 27/04	H 5F038	

調査請求 未請求 請求項の数30 OL (全20頁)

(21)出願番号 特願2000-178770(P2000-178770)
(22)出願日 平成12年6月14日(2000.6.14)

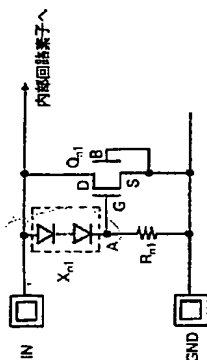
(71)出願人 000004237 日本電氣株式会社
東京都港区芝五丁目7番1号
(72)発明者 安藤 岳
東京都港区芝五丁目7番1号 日本電氣株
式会社内
(74)代理人 100083028 非理士 金田 暢之 (外2名)
Pターム(参考) 5F038 BH02 BH04 BH05 BH07 BH13
E720

54)【発明の名称】
静電保護回路

57) [聖訓]

【課題】 MOSFETがスナップバック動作を起こすトリガー電圧を下げて低い絶縁破壊電圧の回路素子を保護することが可能な静電保護回路を提供する。

【解決手段】
ドレインが入力出力端子と接続され、ソース及び基板がそれぞれ接地電位と接続された保護用nMOSFETと、保護用MOSFETのゲートと入出力端子と、保護用MOSFETのゲートと、保護用MOSFETのゲートから成るダイオード列と、保護用MOSFETのゲートと接地電位間とに接続された抵抗器とを有する。



配ダイオード列と並行に、前記保護用nMOSFETの基板と前記入出力端子間に接続された第1の抵抗器と、前記保護用nMOSFETの基板と接地電位間に接続された第2の抵抗器と、を有する構成であり、前記入出力端子に印加される電圧が接地電位から電源電圧の範囲内にあり、前記保護用pMOSFETがオフ状態を維持するときに、前記第1の抵抗器及び第2の抵抗器の値がそれぞれ設定され、前記入出力端子に印加される電圧が電源電圧を超えたとき、前記保護用nMOSFETの基板からソースに電流が流れて寄生バイポーラトランジスタが導通するように、前記ダイオード列を構成するダイオード数、及び前記第2の抵抗器の値が設定された構成である。

[0020] ここで、前記抵抗器、あるいは前記第1の抵抗器及び第2の抵抗器は、オフ状態に設定されたnMOSFETであることが望ましい。

[0021] また、本発明の静電保護回路の他の構成は、静電気による過電圧から半導体集積回路装置の内部回路素子の破壊を防止するための静電保護回路であって、ドレインが入出力端子と接続され、ソース及び基板がそれぞれ電源と接続された保護用pMOSFETと、前記保護用pMOSFETのゲートと前記入出力端子間に順方向に直列接続された少なくとも1つのダイオードから成るダイオード列と、前記保護用pMOSFETのゲートと電源間に接続された抵抗器と、を有する構成であり、前記入出力端子に印加される電圧が接地電位から電源電圧の範囲内にあり、前記保護用pMOSFETがオフ状態を維持し、前記入出力端子に印加される電圧が接地電位以下になったとき、前記保護用pMOSFETがオンして寄生バイポーラトランジスタが導通するように、前記ダイオード列を構成するダイオード数、及び前記抵抗器の値が設定された構成である。

[0022] または、静電気による過電圧から半導体集積回路装置の内部回路素子の破壊を防止するための静電保護回路であって、ドレインが入出力端子と接続され、ソース及びゲートがそれぞれ電源と接続された保護用pMOSFETと、前記保護用pMOSFETの基板と前記入出力端子間に順方向に直列接続された少なくとも1つのダイオードから成るダイオード列と、前記保護用pMOSFETの基板と電源間に接続された抵抗器と、を有する構成であり、前記入出力端子に印加される電圧が接地電位から電源電圧の範囲内にあり、前記保護用pMOSFETがオフ状態を維持し、前記入出力端子に印加される電圧が接地電位以下になったとき、前記保護用pMOSFETのソースから基板に電流が流れて寄生バイポーラトランジスタが導通するように、前記ダイオード列を構成するダイオード数、及び前記抵抗器の値が設定された構成である。

[0023] または、静電気による過電圧から半導体集積回路装置の内部回路素子の破壊を防止するための静電

保護回路であって、ドレインが入出力端子と接続され、ソース及び基板がそれぞれ電源と接続された保護用pMOSFETと、前記保護用pMOSFETのゲートと前記入出力端子間に順方向に直列接続された少なくとも1つのダイオードから成るダイオード列と、前記ダイオード列と並行に、前記保護用pMOSFETのゲートと前記入出力端子間に接続された第1の抵抗器と、前記保護用pMOSFETのゲートと接地電位間に接続された第2の抵抗器と、を有する構成であり、前記入出力端子に印加される電圧が接地電位から電源電圧の範囲内にあり、前記保護用pMOSFETがオフ状態を維持するときに、前記第1の抵抗器及び第2の抵抗器の値がそれぞれ設定され、前記入出力端子に印加される電圧が接地電位以下になったとき、前記保護用pMOSFETがオンして寄生バイポーラトランジスタが導通するように、前記ダイオード列を構成するダイオード数、及び前記第2の抵抗器の値が設定された構成である。

[0024] または、静電気による過電圧から半導体集積回路装置の内部回路素子の破壊を防止するための静電保護回路であって、ドレインが入出力端子と接続され、ソース及びゲートがそれぞれ電源と接続された保護用pMOSFETと、前記保護用pMOSFETの基板と前記入出力端子間に順方向に直列接続された少なくとも1つのダイオードから成るダイオード列と、前記ダイオード列と並行に、前記保護用pMOSFETの基板と前記入出力端子間に接続された第1の抵抗器と、前記保護用pMOSFETの基板と接地電位間に接続された第2の抵抗器と、を有する構成であり、前記入出力端子に印加される電圧が接地電位から電源電圧の範囲内にあり、前記保護用pMOSFETがオフ状態を維持し、前記入出力端子に印加される電圧が接地電位以下になったとき、前記保護用pMOSFETがオンして寄生バイポーラトランジスタが導通するように、前記ダイオード列を構成するダイオード数、及び前記第2の抵抗器の値が設定された構成である。

[0025] ここで、前記抵抗器、あるいは前記第1の抵抗器及び第2の抵抗器は、オフ状態に設定されたpMOSFETであることが望ましい。

[0026] また、前記nMOSFET及びそれに接続されたダイオード列、抵抗器と、前記pMOSFET及びそれに接続されたダイオード列、抵抗器とを組み合わせて用いることもできる。

[0027] 上記のように構成された静電保護回路では、入出力端子に印加される電圧が電源電圧を超える、あるいは接地電位以下になるなど異常な時に、保護用nMOSFET、または保護用pMOSFETの基板に電流が増加して、スナッチバックのトリガー電圧を下げることができる。

[0028] 【発明の実施の形態】次に本発明について図面を参照して説明する。

[0029] 図1は本発明の静電保護回路の第1の実施の形態の構成を示す回路図である。図2は本発明の静電保護回路の第1の実施の形態の他の構成を示す回路図である。

[0030] 図1に示すように、本実施形態の静電保護回路は、ドレイン(D)が入出力端子1Nと接続され、ソース(S)及び基板(B)がそれぞれ接地電位GNDと接続されたnMOSFETQn1と、nMOSFETQn1のゲート(G)と入力端子1N間に順方向に直列接続された少なくとも1つのダイオードから成るダイオード列Xn1と、nMOSFETQn1のゲート(G)と接地電位GND間に接続された抵抗器Rn1とを有する構成である。

[0031] また、図2に示す静電保護回路は、図1に示した静電保護回路の構成に加えて、ドレイン(D)が入出力端子1Nと接続され、ソース(S)及び基板(B)がそれぞれ電源Vdと接続されたpMOSFETQp1と、pMOSFETQp1のゲート(G)と入力端子1N間に順方向に直列接続された少なくとも1つのダイオードから成るダイオード列Xp1と、pMOSFETQp1のゲート(G)と電源Vd間に接続された抵抗器Rp1とを有する構成である。

[0032] 図3は図1に示した静電保護回路の実施例を示す回路図であり、図4は図2に示した静電保護回路の実施例を示す回路図である。

[0033] 図3に示すように、図1に示した静電保護回路の抵抗器Rn1はnMOSFETQn1を用いて構成することが可能である。nMOSFETQn1のドレイン(D)はnMOSFETQn1のソース(S)と接続され、nMOSFETQn1のゲート(G)、ゲート(G)、及び基板(B)はそれぞれ接地電位GNDと接続される。

[0034] また、図4に示すように、図2に示した静電保護回路の抵抗器Rp1はpMOSFETQp1を用いて構成することが可能である。pMOSFETQp1のドレイン(D)はpMOSFETQp1のソース(S)と接続され、pMOSFETQp1のゲート(G)、ゲート(G)、及び基板(B)はそれぞれ電源Vdと接続される。なお、図4に示す抵抗器Rn1も図3と同様にnMOSFETQn1を用いて構成することが可能である。

[0035] このような構成において、次に本実施形態の静電保護回路の動作について、図3及び図4に示した回路を例にして説明する。

[0036] 図3において、入力端子1Nに入力電圧Vinが印加されているとき、ダイオード列Xn1とnMOSFETQn1の接続点(ノードA)の電位Vaは、

は、ダイオード列Xn1の順方向抵抗とnMOSFETQn1のオフ抵抗とで入力電圧Vinを分圧した値となる。

[0037] ダイオード列Xn1の順方向抵抗は、ダイオード列Xn1のダイオード数kとその順方向電圧Vfの積(k×Vf)より入力電圧Vinが低いときには高抵抗(例えば、10¹⁴Ω程度)となり、(k×Vf)よりも入力電圧Vinが高いときには低抵抗(例えば、100Ω程度)となる。一方、nMOSFETQn1のオフ抵抗は、寄生バイポーラトランジスタが導通するまでは入力電圧Vinに対して値が依存性しか示さないため、ほぼ一定と見なすことができる(例えば、100Ω程度)。

[0038] したがって、ノードAの電位Vaは、入力電圧Vinがダイオード数kと順方向電圧Vfの積(k×Vf)よりも低いときは接地電位GNDとほぼ等しく、入力電圧Vinが(k×Vf)よりも高くなると、例えば、図5に示すように入力電圧Vinとともに増加する。なお、図5はダイオード列Xn1のダイオード数kがk=4(実線)、k=6(点線)のときの様子を示している。

[0039] 本実施形態では、入力電圧Vinが電源電圧Vdを超えたとき、保護用のnMOSFETQn1のゲートにしきい値電圧Vth以上の電圧が印加されてオンするように、ダイオード列Xn1のダイオード数k、及びnMOSFETQn1のオフ抵抗値(しきい値電圧)をそれぞれ設定する。図5では、電源電圧Vdを、例えば、1.0V(k=4)と1.8V(k=6)に想定している。

[0040] このように設定することで、図3に示した静電保護回路は、入力電圧Vinが通常電圧(0≦Vin≦Vd)のときは保護用のnMOSFETQn1がオフ状態を維持し、入力電圧Vinが異常電圧(Vin>Vd)のときは保護用のnMOSFETQn1がオン状態となる。nMOSFETQn1がオン状態になると、チャネル電流が流れ、インパルス電流が促進されるために基板電流が増加し、スナッチバックのトリガー電圧Vt1が図6に示すように低下する(Vt1')。

[0041] したがって、ダイオード列Xn1のダイオード数k、あるいはnMOSFETQn1のオフ抵抗値(しきい値電圧)を調整することで、トリガー電圧Vt1を所望の電圧(低電圧)に設定することができる。絶縁破壊電圧が低い内部回路素子の破壊を防止することができ。

[0042] なお、図1または図3に示した入力端子1Nに負電圧が印加されると、従来と同様に、nMOSFETQn1のドレイン(D)と基板(B)間のpn接合を通して接地電位GNDから入力端子1Nに電流が流れ、入力端子1Nに入力される負の過電圧がクランプされ、

る。

【0043】一方、図4に示した静電保護回路は、電圧V_{dd}が開放された状態で図3に示した静電保護回路と同様に動作する。また、接地電位GNDが開放された状態では、入力端子INに電圧V_{dd}以上の正電圧が印加されると、pMOSFETQ_{p1}のドレイン(D)と基板(B)間のpMOSFETQ_{p1}の寄生バイポーラ電圧V_{be}が、入力端子INから電圧V_{dd}に電流が流れ、入力端子INに注入される正の過電圧がクランプされる。

【0044】さらに、図3に示した静電保護回路と同様に、入力電圧V_{in}が接地電位GND以下になったとき、保護用のpMOSFETQ_{p1}がオンになり、ダイオード列X_{p1}のダイオード数k、及びpMOSFETQ_{p1}のオフ抵抗値(しきい値V_{th})をそれぞれ設定すれば、入力電圧V_{in}が通常電圧(0.5V以下)のときは保護用のpMOSFETQ_{p1}がオン状態を維持し、入力電圧V_{in}が異常電圧(V_{in}がV_{th}より大きいときは保護用のpMOSFETQ_{p1}がオフ状態となる)のとき、図3に示したnMOSFETQ_{n1}と同様に、チャネル電流が流れ、インパルス電流が促進されるために基板電流が増加し、スナッチパップのトリガー電圧V_{tr}が低下する。

【0045】よって、図4に示した静電保護回路は、nMOSFETQ_{n1}の寄生バイポーラトランジスタのトリガー電圧V_{tr}だけでなく、pMOSFETQ_{p1}の寄生バイポーラトランジスタのトリガー電圧V_{tr}も低下させることができるため、電圧V_{dd}、接地電位GNDにいずれが開放された場合でも入力端子INに印加される正負いずれの過電圧をクランプすることができる。【0046】なお、図2及び図4に示した静電保護回路では、nMOSFETQ_{n1}とpMOSFETQ_{p1}とをそれぞれ有する構成を示しているが、pMOSFETQ_{p1}と、そのゲート(G)に接続されるダイオード列X_{p1}、及び抵抗器R_{p1}(またはpMOSFETQ_{p1}の寄生バイポーラトランジスタのトリガー電圧V_{tr}を低下させることが可能なため、接地電位GND開放時、入力端子INに印加される負の過電圧をクランプすることができる。【0047】次に、本実施形態の静電保護回路の構造について図面を用いて説明する。

【0048】図7は図3に示した静電保護回路がシリコン基板に形成された様子を示す側断面図であり、図8は図4に示した静電保護回路がシリコン基板に形成された様子を示す側断面図である。なお、図7はダイオード列X_{n1}として2個のダイオードを示している。また、図8は図4に示した静電保護回路のうち、pMOSFETQ_{p1}、ダイオード列X_{p1}(ダイオード2個)、及びpMOSFETQ_{p1}のみの構造を示している。nMOSFETQ_{n1}、ダイオード列X_{n1}、及びnMOS

FETQ_{n1}の構造は図7と同様であるため、その説明は省略する。

【0049】図7において、図3に示した静電保護回路は、まず、p型基板1中に、各素子を分離するための素子分離酸化膜2を400nm程度の厚さで形成し、フォトレジストをマスクとして用いて、ダイオード列X_{p1}の形成領域に、例えば、700keVで2×10¹³cm⁻²、500keVで4×10¹²cm⁻²の条件でリンを注入し、さらに、100keVで5×10¹²cm⁻²の条件でリンを注入してウェル4を形成する。

【0050】続いて、フォトレジストをマスクとして用いて、ダイオード列X_{n1}の各ダイオードの形成領域に、例えば、700keVで2×10¹³cm⁻²、500keVで4×10¹²cm⁻²の条件でリンを注入し、さらに、100keVで5×10¹²cm⁻²の条件でリンを注入してウェル4を形成する。

【0051】次に、p型基板1上に厚さ3.5nm程度のゲート酸化膜を形成し、その上に、例えば、厚さ15nm、幅0.18μmの多結晶シリコンからなるゲート電極5を形成する。

【0052】続いて、ゲート電極5をマスクとして用いて、例えば、10keVで3×10¹⁴cm⁻²の条件でnMOSFETの形成領域にヒ素を注入し、ソース、ドレインとなるn⁺拡散層(不図示)を形成した後、ゲート電極5の側壁に幅100nm程度の酸化膜からなるサイドウォール(不図示)を形成する。

【0053】次に、フォトレジスト、ゲート電極5、及びサイドウォールをそれぞれマスクとして用いて、例えば、50keVで3×10¹⁵cm⁻²の条件で、nMOSFETの形成領域及びダイオードの形成領域にそれぞれヒ素を注入してn⁺拡散層6～10を形成する。ここで、6はダイオード列X_{n1}を構成する各ダイオードのカソード、7はnMOSFETQ_{n1}のドレイン、8はnMOSFETQ_{n1}のソース(S)、9はnMOSFETQ_{n1}のドレイン(D)、10はnMOSFETQ_{n1}のソース(S)となる。

【0054】次に、フォトレジストをマスクとして用いて、例えば、30keVで3×10¹⁵cm⁻²の条件でダイオードの形成領域及びnMOSFETの形成領域に2フッ化ボロン(BF₂)を注入してp⁺拡散層11～13を形成する。ここで、11はダイオード列X_{n1}を構成する各ダイオードのアノード、12はnMOSFETQ_{n1}の基板(B)に配線を行うためのpウェルコンタクト、13はnMOSFETQ_{n1}の基板(B)に配線を行うためのpウェルコンタクトとなる。

【0055】最後に、ゲート電極5、n⁺拡散層6～10、p⁺拡散層11～13の表面に、例えば、厚さ30nmのコンパルトシリサイド層14を形成し、層間絶縁膜(不図示)を形成した後、各コンパルトシリサイド層14上に配線を行う。

【0056】図8において、図4に示した静電保護回路は、まず、p型基板1中に、各素子を分離するための素子分離酸化膜2を400nm程度の厚さで形成し、フォトレジストをマスクとして用いて、ダイオード列X_{p1}の形成領域に、例えば、700keVで2×10¹³cm⁻²、500keVで4×10¹²cm⁻²の条件でリンを注入し、さらに、100keVで5×10¹²cm⁻²の条件でヒ素を注入してウェル24、23を形成する(図7に示したウェル4と同時に形成される)。

【0057】次に、p型基板1上に厚さ3.5nm程度のゲート酸化膜を形成し、その上に、例えば、厚さ15nm、幅0.18μmの多結晶シリコンからなるゲート電極5を形成する。

【0058】続いて、ゲート電極5をマスクとして用いて、例えば、10keVで3×10¹⁴cm⁻²の条件でpMOSFETの形成領域に2フッ化ボロン(BF₂)を注入して、ソース、ドレインとなるp⁺拡散層(不図示)を形成した後、ゲート電極5の側壁に幅100nm程度の酸化膜からなるサイドウォール(不図示)を形成する。

【0059】次に、フォトレジスト、ゲート電極5、及びサイドウォールをそれぞれマスクとして用いて、例えば、50keVで3×10¹⁵cm⁻²の条件で、pMOSFETの形成領域、及びダイオードの形成領域にそれぞれヒ素を注入してn⁺拡散層31～33を形成する(図7に示したn⁺拡散層6～10と同時に形成される)。

【0060】次に、フォトレジストをマスクとして用いて、例えば、30keVで3×10¹⁵cm⁻²の条件で、ダイオードの形成領域及びpMOSFETの形成領域に2フッ化ボロン(BF₂)を注入してp⁺拡散層26～30を形成する(図7に示したp⁺拡散層11～13と同時に形成される)。ここで、26はダイオード列X_{p1}を構成する各ダイオードのアノード、27はpMOSFETQ_{p1}のドレイン(D)、28はpMOSFETQ_{p1}のソース(S)、29はpMOSFETQ_{p1}のドレイン(D)、30はpMOSFETQ_{p1}のソース(S)となる。

【0061】最後に、ゲート電極5、p⁺拡散層26～30、n⁺拡散層31～33の表面に、例えば、厚さ30nmのコンパルトシリサイド層14を形成し、層間絶縁膜(不図示)を形成した後、各コンパルトシリサイド層14上に配線を行う。

【0062】このような構造を有することで、ダイオード列X_{n1}、X_{p1}を構成する各ダイオードを、nMO

SFETQ_{n1}、Q_rn1、あるいはpMOSFETQ_{p1}、Q_rp1と共通の工程で形成することができるため、従来の構造に比べて工程を増やすことなく本発明の静電保護回路を形成することができる。

【0063】(第2の実施形態)図9は本発明の静電保護回路の第2の実施形態の構成を示す回路図であり、図10は本発明の静電保護回路の第2の実施形態の構成を示す回路図である。

【0064】図9に示すように、本実施形態の静電保護回路は、ドレイン(D)が入力端子INと接続され、ソース(S)及びゲート(G)がそれぞれ接地電位GNDと接続されたnMOSFETQ_{n2}と、nMOSFETQ_{n2}の基板(B)と入力端子IN間に順方向に直列接続された少なくとも1つのダイオードからなるダイオード列X_{n2}と、nMOSFETQ_{n2}の基板(B)と接地電位GND間に接続された抵抗器R_{n2}とを有する構成である。

【0065】また、図10に示した静電保護回路は、図9に示した静電保護回路の構成に加えて、ドレイン(D)が入力端子INと接続され、ソース(S)及びゲート(G)がそれぞれ電圧V_{dd}と接続されたpMOSFETQ_{p2}と、pMOSFETQ_{p2}の基板(B)と入力端子IN間に順方向に直列接続された少なくとも1つのダイオードからなるダイオード列X_{p2}と、pMOSFETQ_{p2}の基板(B)と電圧V_{dd}間に接続された抵抗器R_{p2}とを有する構成である。

【0066】図11は図9に示した静電保護回路の実施例を示す回路図であり、図12は図10に示した静電保護回路の実施例を示す回路図である。

【0067】図11に示すように、図9に示した静電保護回路の抵抗器R_{n2}は第1の実施形態と同様にnMOSFETQ_{n2}を用いて構成することが可能である。nMOSFETQ_{n2}のドレイン(D)はnMOSFETQ_{n2}のソース(S)、ゲート(G)、及び基板(B)はそれぞれ接地電位GNDと接続される。

【0068】また、図12に示すように、図10に示した静電保護回路の抵抗器R_{p2}は第1の実施形態と同様にpMOSFETQ_{p2}を用いて構成することが可能である。pMOSFETQ_{p2}のドレイン(D)はpMOSFETQ_{p2}の基板(B)と接続され、pMOSFETQ_{p2}のソース(S)、ゲート(G)、及び基板(B)はそれぞれ電圧V_{dd}と接続される。なお、図12に示す抵抗器R_{n2}も図11と同様にnMOSFETQ_{n2}を用いて構成することが可能である。

【0069】このような構成において、次に本実施形態の静電保護回路の動作について、図11及び図12に示した回路を例にして説明する。

【0070】図11に示すように、本実施形態の静電保護回路のダイオード列X_{n2}及びnMOSFETQ_{n2}

2は、第1の実施形態のダイオード列Xn1及びnMOSFETQrn1と同様の構成であるため、ノードAの電位Vaは、入力電圧Vinがダイオード列Xn2のダイオード数kと順方向電圧Vihの積(k×Vih)よりも低いときは接地電圧GNDとほぼ等しく、入力電圧Vinが(k×Vih)よりも高くなると入力電圧Vinに比例して増加する。

【0071】本実施形態では、入力電圧Vinが電源電圧Vddを超えたとき、保護用のnMOSFETQn2の基板(B)とソース(S)のpn接合に順方向電流が流れるように、ダイオード列Xn2のダイオード数k、及びnMOSFETQn2のオフ抵抗値(しきい値電圧)をそれぞれ設定する。

【0072】このように設定することで、図11に示した静電保護回路は、入力電圧Vinが通常電圧(0≦Vin≦Vdd)のときは保護用のnMOSFETQn2がオフ状態を維持し、入力電圧Vinが異常電圧(Vin>Vdd)のときは保護用のnMOSFETQn2の基板(B)とソース(S)のpn接合に順方向電流が流れるように、この順方向電流によってスナッチパップのトリガー電圧Vtiが低下する。

【0073】一方、図12に示した静電保護回路は、電源Vddが開放された状態では、図11に示した静電保護回路と同様に動作する。また、接地電位GNDが開放された状態では、図11に示した静電保護回路と同様に、入力電圧Vinが接地電位GND以下になったときに、保護用のpMOSFETQp2の基板(B)とソース(S)間のpn接合に順方向電流が流れるように、ダイオード列Xp2のダイオード数k、及びpMOSFETQp2のオフ抵抗値(しきい値電圧)をそれぞれ設定する。

【0074】このように設定することで、入力電圧Vinが通常電圧(0≦Vin≦Vdd)のときは保護用のpMOSFETQp2がオフ状態を維持し、入力電圧Vinが異常電圧(Vin<0)のときは保護用のpMOSFETQp2の基板(B)とソース(S)のpn接合に順方向電流が流れるようになる。この順方向電流によってスナッチパップのトリガー電圧Vtiが低下する。

【0075】したがって、本実施形態の静電保護回路も第1の実施形態の静電保護回路と同様の効果を得ることができ、図10及び図12に示した静電保護回路では、nMOSFETQn2とpMOSFETQp2とをそれぞれ有する構成を示しているが、pMOSFETQp2と、その基板(B)に接続されるダイオード列Xp2、及び抵抗器Rp2(またはpMOSFETQp2)のみを有する構成であってもよい。そのような構成であっても、pMOSFETQp2の寄生バイポーラトランジスタのトリガー電圧Vtiを低下させることができるため、接地電位GND開放時、入力端子INに

印加される負の過電圧をクランプすることができ、

【0077】また、本実施形態の静電保護回路の構造は、配線及びnMOSFETの基板をバイアスするためpウェルを囲むディープnウェルが必要になる点を除けば、図7及び図8に示した第1の実施形態の静電保護回路と同様であるため、その説明は省略する。

【0078】(第3の実施形態) 図13は本発明の静電保護回路の第3の実施形態の構成を示す回路図であり、図14は本発明の静電保護回路の第3の実施形態の他の構成を示す回路図である。

【0079】図13に示すように、本実施形態の静電保護回路は、ドレイン(D)が入力端子INと接続され、ソース(S)及び基板(B)がそれぞれ接地電位GNDと接続されたnMOSFETQn3と、nMOSFETQn3のゲート(G)と入力端子IN間に順方向に直列接続されたダイオード列Xn3と、nMOSFETQn3のゲート(G)と入力端子IN間に接続された抵抗器Rn3と、nMOSFETQn3のゲート(G)と接地電位GND間に接続された抵抗器Rn4とを有する構成である。

【0080】また、図14に示した静電保護回路は、図13に示した静電保護回路の構成に加えて、ドレイン(D)が入力端子INと接続され、ソース(S)及び基板(B)がそれぞれ電源Vddと接続されたpMOSFETQp3と、pMOSFETQp3のゲート(G)と入力端子IN間に順方向に直列接続されたダイオード列Xp3と、pMOSFETQp3のゲート(G)と入力端子IN間に接続された抵抗器Rp3と、pMOSFETQp3のゲート(G)と電源Vdd間に接続された抵抗器Rp4とを有する構成である。

【0081】図15は図13に示した静電保護回路の実施例を示す回路図であり、図16は図14に示した静電保護回路の実施例を示す回路図である。

【0082】図15に示すように、図13に示した静電保護回路の抵抗器Rn3はnMOSFETQrn3を用いて構成することが可能であり、抵抗器Rn4はnMOSFETQrn4を用いて構成することが可能である。nMOSFETQrn3のドレイン(D)は入力端子INと接続され、ゲート(G)及びソース(S)はそれぞれnMOSFETQn3のゲート(G)と接続され、基板(B)は接地電位GNDと接続される。また、nMOSFETQn3のゲート(G)と接地電位GNDとを接続するダイオード列Xn3と、その基板(B)に接続されるダイオード列Xp2、及び抵抗器Rp2(またはpMOSFETQp2)のみを有する構成であってもよい。そのような構成であっても、pMOSFETQp2の寄生バイポーラトランジスタのトリガー電圧Vtiを低下させることができるため、接地電位GND開放時、入力端子INに

【0083】また、図16に示すように、図14に示した静電保護回路の抵抗器Rp3はpMOSFETQrp3を用いて構成することが可能であり、抵抗器Rp4はpMOSFETQrp4を用いて構成することが可能で

ある。pMOSFETQrp3のドレイン(D)は入力端子INと接続され、ゲート(G)及びソース(S)はそれぞれpMOSFETQp3のゲート(G)と接続され、基板(B)は接地電位GNDと接続される。また、pMOSFETQrp4のドレイン(D)はpMOSFETQp3のゲート(G)と接続され、ゲート(G)、ソース(S)及び基板(B)はそれぞれ電源Vddと接続される。なお、図15と同様に、図16に示す抵抗器Rn3もnMOSFETQrn3を用いて構成することが可能であり、図16に示す抵抗器Rn4もnMOSFETQrn4を用いて構成することが可能である。

【0084】このような構成において、次に本実施形態の静電保護回路の動作について図15及び図16に示した回路を例にして説明する。

【0085】図15において、入力端子INに入力電圧Vinが印加されているとき、ダイオード列Xn3とnMOSFETQrn4の接続点(ノードA)の電位Vaは、ダイオード列Xn3の順方向電圧Vih、またはnMOSFETQrn3のオフ抵抗値と、nMOSFETQrn4のオフ抵抗値を入力電圧Vinを分圧した値となる。

【0086】ダイオード列Xn3の順方向電圧Vihは、ダイオード列Xn3のダイオード数kとその順方向電圧Vihの積(k×Vih)よりも入力電圧Vinが低いときには高抵抗(例えば、10¹⁰Ω程度)となり、(k×Vih)よりも入力電圧Vinが高いときは低抵抗(例えば、100Ω程度)となる。一方、nMOSFETQrn3及びnMOSFETQrn4のオフ抵抗値は、寄生バイポーラトランジスタが導通するまでは入力電圧Vinに対して僅かな依存性しか示さないため、ほぼ一定と見なすことができる(例えば、10¹⁰Ω程度)。

【0087】したがって、入力電圧Vinがダイオード数kと順方向電圧Vihの積(k×Vih)よりも低いとき、ダイオード列Xn3とnMOSFETQrn4の接続点N(ノードA)の電位Vaは、nMOSFETQrn3のオフ抵抗値とnMOSFETQrn4のオフ抵抗値を入力電圧Vinを分圧した値となる。

【0088】このように、nMOSFETQrn3は入力電圧Vinが(k×Vih)よりも低いときは電流のバイパスとして機能する。ダイオード列Xn3は入力電圧Vinが(k×Vih)よりも低いときには非常に高抵抗であり、実質的にオープンに近い状態になることがあり、このような状況下で、もしnMOSFETQrn3が無ければ、ノードAの電位Vaは、単純にダイオード列Xn3とnMOSFETQrn4のオフ抵抗値とで入力電圧Vinを分圧した値とはならず、nMOSFETQn3のゲート容量などにも影響を受けるようになる。このような問題を避けるため、入力電圧Vinが(k×Vih)よりも低いときでもノードAにnMOSFETQrn3のオフ電流の電流を流しておき、電位Vaが抵抗分割で決まるようにする。なお、nMOSFETQrn3

は、nMOSFETQn3に比べてチャネル幅が1/10以下程度で済むため、オフ電流もnMOSFETQn3の1/10以下程度となり、チップ全体の消費電力に影響を及ぼすことがない。

【0089】図15に示すように、nMOSFETQrn4のゲート(G)、ソース(S)、基板(B)は同電位であり、nMOSFETQrn3の基板(B)はソース(S)に対して逆バイアスされている(ソースよりも基板の電位が低い)。よって、nMOSFETQrn3のしきい値電圧VthはnMOSFETQrn4のしきい値電圧Vthよりも高くなり、nMOSFETQrn3のオフ抵抗値はnMOSFETQrn4のオフ抵抗値よりも1〜2倍大きくなる。このため、ノードAの電位Vaは、ほぼ接地電位GNDに等しくなる。

【0090】一方、入力電圧Vinが(k×Vih)よりも高くなると、ノードAの電位Vaは、ダイオード列Xn3の順方向電圧VihとnMOSFETQrn4のオフ抵抗値を入力電圧Vinを分圧した値となり、図5に示したように入力電圧Vinとともに増加する。このとき、ダイオード列Xn3、nMOSFETQn3、及びnMOSFETQrn3とそれぞれ流れる電流の値を図17に示す。なお、図17はダイオード列Xn1のダイオード数kがk=4(実線)、k=6(点線)のときの様子を示している。

【0091】本実施形態では、入力電圧Vinが電源電圧Vddを超えたとき、保護用のnMOSFETQn3のゲート(G)にしきい値電圧Vih以上の電圧が印加されてオンするように、ダイオード列Xn3のダイオード数k、及びnMOSFETQrn4のオフ抵抗値(しきい値電圧)をそれぞれ設定する。

【0092】このように設定することで、図15に示した静電保護回路は、入力電圧Vinが通常電圧(0≦Vin≦Vdd)のときは保護用のnMOSFETQn3がオフ状態を維持し、入力電圧Vinが異常電圧(Vin>Vdd)のときは保護用のnMOSFETQn3がオン状態となる。nMOSFETQn3がオン状態になると、チャネル電流が増加し、スナッチパップのトリガー電圧Vtiが図6に示したように低下する(Vti<Vti')。

【0093】したがって、第1の実施形態と同様に、ダイオード列Xn3の個数kあるいはnMOSFETQrn4のオフ抵抗値(しきい値電圧)を調整することによって、トリガー電圧Vtiを所望の電圧(低電圧)に設定することができるため、絶縁破壊電圧が低い内部回路素子の破壊を防止することができる。

【0094】一方、図16に示した静電保護回路は、電源Vddが開放された状態では図15に示した静電保護回路と同様に動作する。また、接地電位GNDが開放された状態では、入力端子INに電源Vdd以上の正電圧

が追加されると、pMOSFETQp3のドレイン(D)と基板(B)間のpn接合を通して入力端子INから電源V_{dd}に電流が流れ、入力端子INに入力される正の過電圧がクランプされる。

【0095】さらに、図15に示した静電保護回路と同様にして、入力電圧V_{in}が接地電位GND以下になつたとき、保護用のpMOSFETQp3がオン状態となり、ダイオード列Xp3のダイオード数k、及びpMOSFETQrp4のオフ抵抗値(しきい値電圧)をそれぞれ設定すれば、入力電圧V_{in}が通常電圧(0≦V_{in}≦V_{dd})のときは保護用のpMOSFETQp3がオフ状態を維持し、入力電圧V_{in}が異常電圧(V_{in}<0)のときは保護用のpMOSFETQp3がオン状態となる。したがって、図15に示したnMOSFETQn3と同様に、チャネル電流が流れ、インバクティオン化が促進されるために基板電流が増加し、スナッチパツクのトリガー電圧V_{ti}が低下する。

【0096】よって、図16に示した静電保護回路は、第1の実施形態と同様に、nMOSFETQn3の寄生バイポーラトランジスタのトリガー電圧V_{ti}だけでなく、pMOSFETQp3の寄生バイポーラトランジスタのトリガー電圧V_{ti}も低下させることもできた。電源V_{dd}、接地電位GNDいずれが開放された場合でも、入力端子INに印加される正負それぞれの過電圧をクランプすることができ、

【0097】ところで、入力電圧V_{in}が通常電圧(0≦V_{in}≦V_{dd})のときに、nMOSFETQn3またはpMOSFETQp3を確実にオフ状態で維持させるためには、nMOSFETQn3のオフ抵抗値とnMOSFETQp3のオフ抵抗値、あるいはpMOSFETQp3のオフ抵抗値とpMOSFETQrp4のオフ抵抗値に差を設ければよい。

【0098】オフ抵抗値に差を設ける構成としては、例えば、nMOSFETQn3のゲート長をnMOSFETQrp4のゲート長よりも長めに設定する方法がある。短チャネル領域ではゲート長を0.1μm長くすれば、しきい値電圧V_{th}は、例えば、約0.1V高くなるためオフ抵抗値は約1桁大きくなる。

【0099】また、オフ抵抗値に差を設ける他の構成として、図18に示すようにnMOSFETQn3のゲート(G)を接地電位GNDと接続した構成、または、図19に示すようにpMOSFETQp3のゲート(G)を電源V_{dd}と接続した構成もある。この場合、nMOSFETQn3及びpMOSFETQp3が、より強くオフする方向に動作するため、nMOSFETQn3及びpMOSFETQp3のオフ抵抗値を、nMOSFETQrp4及びpMOSFETQrp4のオフ抵抗値よりも大きくすることができ、

【0100】なお、図14、図16及び図19に示した静電保護回路では、nMOSFETQn3とpMOSF

ETQp3とをそれぞれ有する構成を示しているが、pMOSFETQp3と、そのゲート(G)に接続されるダイオード列Xp3、抵抗器Rp3(またはpMOSFETQrp3)、及び抵抗器Rp4(またはpMOSFETQrp4)のみを有する構成であってもよい。このような構成であっても、pMOSFETQp3の寄生バイポーラトランジスタのトリガー電圧V_{ti}を低下させることができるため、接地電位GND開放時、入力端子INに印加される負の過電圧をクランプすることができ、

【0101】次に、本実施形態の静電保護回路の製造方法について図面を用いて説明する。

【0102】図20は図15に示した静電保護回路がシリコン基板に形成された様子を示す側断面図であり、図21は図16に示した静電保護回路がシリコン基板に形成された様子を示す側断面図である。なお、図20はダイオード列Xn3として2個のダイオードを示している。また、図21は図16に示した静電保護回路のうち、pMOSFETQp3、ダイオード列Xp3(ダイオード2個)、pMOSFETQrp3、及びpMOSFETQrp4のみを構成している。nMOSFETQn3、ダイオード列Xn3、nMOSFETQn3、及びnMOSFETQrp4の構造は図20と同様であるため、その説明は省略する。

【0103】図20において、図15に示した静電保護回路は、まず、p型基板1中に、各素子を分離するため素子分離酸化膜2を400nm程度の厚さで形成し、フォトレジストをマスクとして用いて、nMOSFETの形成領域に、例えば、300keVで2×10¹³cm⁻²、200keVで4×10¹²cm⁻²、30keVで5×10¹²cm⁻²の条件でボロンを連続注入し、pウェル3を形成する。

【0104】続いて、フォトレジストをマスクとして用い、ダイオード列Xn3の各ダイオードの形成領域に、例えば、700keVで2×10¹³cm⁻²、500keVで4×10¹²cm⁻²の条件でリンを注入し、さらに、100keVで5×10¹²cm⁻²の条件でヒ素を注入してnウェル4を形成する。

【0105】次に、p型基板1上に厚さ3.5nm程度のゲート酸化膜を形成し、その上に、例えば、厚さ150nm、幅0.18μmの多結晶シリコンから成るゲート電極5を形成する。

【0106】続いて、ゲート電極5をマスクとして用い、例えば、10keVで3×10¹⁴cm⁻²の条件でpMOSFETの形成領域に2フッ化ボロン(BF₃)を注入して、ソース、ドレインとなるp⁺拡散層(不図示)を形成した後、ゲート電極5の側壁に幅100nm程度の酸化膜から成るサイドウォール(不図示)を形成する。

【0107】次に、フォトレジスト、ゲート電極5、及びサイドウォールをそれぞれマスクとして用い、例えば、50keVで3×10¹⁵cm⁻²の条件で、pMOSFETQp3とをそれぞれ有する構成を示す側断面図であり、図23は本発明の静電保護回路の第4の実施形態の他の構成を示す側断面図である。

【0108】図22に示すように、本実施形態の静電保護回路は、ドレイン(D)が入力端子INと接続され、ソース(S)及びゲート(G)がそれぞれ接地電位GNDと接続されたnMOSFETQn4と、nMOSFETQn4の基板(B)と入力端子IN間に順方向に直列接続された少なくとも1つのダイオードから成るダイオード列Xn4と、nMOSFETQn4の基板(B)と接地電位GND間に接続された抵抗器Rn5と、nMOSFETQn4の基板(B)と接地電位GND間に接続された抵抗器Rn6とを有する構成である。

【0109】また、図23に示した静電保護回路は、図

FETの形成領域、及びダイオードの形成領域にそれぞれヒ素を注入してn⁺拡散層31〜33、37を形成する(図20に示したn⁺拡散層6〜10と同時に形成される)。ここで、31はダイオード列Xp3を構成する各ダイオードのカソード、32はpMOSFETQrp4の基板(B)に配線を行うためのnウェルコンタクト、33はpMOSFETQp3の基板(B)に配線を行うためのnウェルコンタクトとなる。

【0114】次に、フォトレジストをマスクとして用い、例えば、30keVで3×10¹⁵cm⁻²の条件でダイオードの形成領域及びpMOSFETの形成領域に2フッ化ボロン(BF₃)を注入してp⁺拡散層26〜30、35、36を形成する(図20に示したp⁺拡散層11〜13と同時に形成される)。ここで、26はダイオード列Xp3を構成する各ダイオードのアノード、27はpMOSFETQrp4のソース(S)、29はpMOSFETQp3のドレイン(D)、30はpMOSFETQp3のソース(S)、35はpMOSFETQrp4のドレイン(D)、36はpMOSFETQrp4のソース(S)となる。

【0115】最後に、ゲート電極5、p⁺拡散層26〜30、35、36、n⁺拡散層31〜33、37の表面に、例えば、厚さ30nmのコンパルトシリサイド層14を形成し、層間絶縁膜(不図示)を形成した後、各コンパルトシリサイド層14上に配線を行う。

【0116】このような構造を有することで、ダイオード列Xn3、Xp3を構成する各ダイオードを、nMOSFETQn3、Qrp3、Qn3、Qrp4、あるいはpMOSFETQp3、Qrp3、Qrp4と共通の工程で形成することができ、従来の構造に比べて工程を増やすことなく本発明の静電保護回路を形成することができる。

【0117】(第4の実施形態) 図22は本発明の静電保護回路の第4の実施形態の他の構成を示す側断面図であり、図23は本発明の静電保護回路の第4の実施形態の他の構成を示す側断面図である。

【0118】図22に示すように、本実施形態の静電保護回路は、ドレイン(D)が入力端子INと接続され、ソース(S)及びゲート(G)がそれぞれ接地電位GNDと接続されたnMOSFETQn4と、nMOSFETQn4の基板(B)と入力端子IN間に順方向に直列接続された少なくとも1つのダイオードから成るダイオード列Xn4と、nMOSFETQn4の基板(B)と接地電位GND間に接続された抵抗器Rn5と、nMOSFETQn4の基板(B)と接地電位GND間に接続された抵抗器Rn6とを有する構成である。

【0119】また、図23に示した静電保護回路は、図

22に示した静電保護回路の構成に加えて、ドレイン(D)が入力端子INと接続され、ソース(S)及びゲート(G)がそれぞれ電源V_{dd}と接続されたnMOSFETQp4と、pMOSFETQp4の基板(B)と入力端子IN間に順方向に接続された少なくとも1つのダイオードからなるダイオード列Xp4と、pMOSFETQp4の基板(B)と入力端子IN間に接続された抵抗器Rp5と、pMOSFETQp4の基板(B)と電源V_{dd}間に接続された抵抗器Rp6とを有する構成である。

【0120】図24は図22に示した静電保護回路の実施例を示す回路図であり、図25は図23に示した静電保護回路の実施例を示す回路図である。

【0121】図24に示すように、図22に示した静電保護回路の抵抗器Rp5はnMOSFETQp5を用いて構成することが可能であり、抵抗器Rp6はnMOSFETQp6を用いて構成することが可能である。nMOSFETQp5のドレイン(D)は入力端子INと接続され、ゲート(G)及びソース(S)はそれぞれnMOSFETQp4の基板(B)と接続され、基板(B)は接地電位GNDと接続される。また、nMOSFETQp6のドレイン(D)はnMOSFETQp4の基板(B)と接続され、ゲート(G)、ソース(S)及び基板(B)はそれぞれ接地電位GNDと接続される。

【0122】また、図25に示すように、図23に示した静電保護回路の抵抗器Rp5はpMOSFETQp5を用いて構成することが可能であり、抵抗器Rp6はpMOSFETQp6を用いて構成することが可能である。pMOSFETQp5のドレイン(D)は入力端子INと接続され、ゲート(G)及びソース(S)はそれぞれpMOSFETQp4の基板(B)と接続され、基板(B)は電源V_{dd}と接続される。また、pMOSFETQp6のドレイン(D)はpMOSFETQp4の基板(B)と接続され、ゲート(G)、ソース(S)及び基板(B)はそれぞれ電源V_{dd}と接続される。なお、図24と同様に、図25に示す抵抗器Rp4もnMOSFETQp4を用いて構成することが可能であり、図25に示す抵抗器Rp5もnMOSFETQp5を用いて構成することが可能である。

【0123】このような構成において、次に本実施形態の静電保護回路の動作について図24及び図25に示した回路を例にして説明する。

【0124】図24に示すように、本実施形態の静電保護回路のダイオード列Xn4及びnMOSFETQp6は、第3の実施形態のダイオード列Xn3及びnMOSFETQp4と同様の構成であるため、ノードAの電位Vaは、入力電圧Vinがダイオード列Xn4のダイオード数kと順方向電圧V_fの積(k×V_f)よりも低い又は接地電位GNDとほぼ等しく、入力電圧V

inが(k×V_f)よりも高くなると入力電圧Vinに比例して増加する。

【0125】本実施形態では、入力電圧Vinが電源電圧V_{dd}を超えたとき、保護用のnMOSFETQn4の基板(B)とソース(S)のpn接合に順方向電流が流れるように、ダイオード列Xn4のダイオード数k、及びnMOSFETQp6のオフ抵抗値(しきい値電圧)をそれぞれ設定する。

【0126】このように設定することで、図24に示した静電保護回路は、入力電圧Vinが通常電圧(0≦Vin≦V_{dd})のときは保護用のnMOSFETQn4がオフ状態を維持し、入力電圧Vinが異常電圧(Vin>V_{dd})のときは保護用のnMOSFETQn4の基板(B)とソース(S)のpn接合に順方向電流が流れるようになる。この順方向電流によって、スナップバックのトリガー電圧V_{tl}が低下する。

【0127】一方、図25に示した静電保護回路は、電源V_{dd}が開放された状態では、図24に示した静電保護回路と同様に動作する。また、接地電位GNDが開放された状態では、図24に示した静電保護回路と同様に、入力電圧Vinが接地電位GND以下にならず、保護用のpMOSFETQp4の基板(B)とソース(S)間のpn接合に順方向電流が流れるように、ダイオード列Xp4のダイオード数k、及びpMOSFETQp6のオフ抵抗値(しきい値電圧)をそれぞれ設定する。

【0128】このように設定することで、入力電圧Vinが通常電圧(0≦Vin≦V_{dd})のときは保護用のpMOSFETQp4がオフ状態を維持し、入力電圧Vinが異常電圧(Vin<0)のときは保護用のpMOSFETQp4の基板(B)とソース(S)のpn接合に順方向電流が流れるようになる。この順方向電流によって、スナップバックのトリガー電圧V_{tl}が低下する。

【0129】したがって、本実施形態の静電保護回路も第3の実施形態の静電保護回路と同様の効果を得ることができる。

【0130】ところで、第3の実施形態と同様に、入力電圧Vinが通常電圧(0≦Vin≦V_{dd})のときに、nMOSFETQn4またはpMOSFETQp4の基板にオフ状態を維持させるためには、nMOSFETQp5のオフ抵抗値とnMOSFETQp6のオフ抵抗値、あるいはpMOSFETQp5のオフ抵抗値とpMOSFETQp6のオフ抵抗値に差を設ければよい。

【0131】オフ抵抗値に差を設ける構成としては、例えば、nMOSFETQp5のゲート長をnMOSFETQp6のゲート長よりも長めに設定する構成がある。

【0132】また、オフ抵抗値に差を設ける他の構成と

して、図25に示すようにnMOSFETQp5のゲート(G)を接地電位GNDと接続した構成、または、図26に示すようにpMOSFETQp5のゲート(G)を電源V_{dd}と接続した構成もある。この場合、nMOSFETQp5及びpMOSFETQp5のオフ抵抗値が、より強くオフする方向に動作するため、nMOSFETQp5及びpMOSFETQp5のオフ抵抗値を、nMOSFETQp6及びpMOSFETQp6のオフ抵抗値よりも大きくすることができ

【0133】なお、図23、図25及び図27に示した静電保護回路では、nMOSFETQn4とpMOSFETQp4とをそれぞれ有する構成を示しているが、pMOSFETQp4と、その基板(B)に接続されるダイオード列Xp4、抵抗器Rp5(またはpMOSFETQp5)、及び抵抗器Rp6(またはpMOSFETQp6)のみを有する構成であってもよい。このように構成であっても、pMOSFETQp4の寄生バイポーラトランジスタのトリガー電圧V_{tl}を低下させることができるため、接地電位GND開放時、入力端子INに印加される負の過電圧をクランプすることができ

【0134】また、本実施形態の静電保護回路の構造は、配線、及びnMOSFETの基板をバイアスするたにpウェルを囲むディープnウェルが必要になる点を除けば、図20及び図21に示した第3の実施形態の静電保護回路と同様であるため、その説明は省略する。【0135】上記第1の実施形態、第4の実施形態では、保護対象である内部回路素子の入力端子IN側に静電保護回路を備えた構成を示したが、内部回路素子の出力端子側に同様の静電保護回路を設けてもよい。その場合も上記と同様に出力端子に印加される正または負の過電圧をクランプすることができ、内部回路素子の破壊を防止することができる。

【0136】

【発明の効果】本発明は以上説明したように構成されて

いるので、以下に記載する効果を奏する。

【0137】入出力端子に印加される電圧が電源電圧を超え、あるいは接地電位以下になるなど異常な時に、保護用のnMOSFET、または保護用のpMOSFETの基板電流が増加して、スナップバックのトリガー電圧を下げることで、入力電圧Vinが電源電圧V_{dd}を超え、あるいは接地電位以下になるなど異常な時に、保護用のnMOSFET、または保護用のpMOSFETにより、電源V_{dd}開放時、入出力端子に印加される正の過電圧を所望の電圧にクランプすることが可能になり、保護用のpMOSFETにより、接地電位GND開放時、入出力端子に印加される負の過電圧を所望の電圧にクランプすることが可能になる。

【図面の簡単な説明】

【図1】本発明の静電保護回路の第1の実施形態の構成を示す回路図である。

【図2】本発明の静電保護回路の第1の実施形態の他

の構成を示す回路図である。

【図3】図1に示した静電保護回路の実施例の構成を示す回路図である。

【図4】図2に示した静電保護回路の実施例の構成を示す回路図である。

【図5】入力電圧Vinに対するノードAの電圧Vaの関係を示すグラフである。

【図6】本発明の静電保護回路の効果を示す図であり、入力電圧Vinに対する保護用のMOSFETに流れる電流の関係を示すグラフである。

【図7】図3に示した静電保護回路がシリコン基板上に形成された様子を示す側断面図である。

【図8】図4に示した静電保護回路がシリコン基板上に形成された様子を示す側断面図である。

【図9】本発明の静電保護回路の第2の実施形態の構成を示す回路図である。

【図10】本発明の静電保護回路の第2の実施形態の他の構成を示す回路図である。

【図11】図9に示した静電保護回路の実施例の構成を示す回路図である。

【図12】図10に示した静電保護回路の実施例の構成を示す回路図である。

【図13】本発明の静電保護回路の第3の実施形態の構成を示す回路図である。

【図14】本発明の静電保護回路の第3の実施形態の他の構成を示す回路図である。

【図15】図13に示した静電保護回路の実施例の構成を示す回路図である。

【図16】図14に示した静電保護回路の実施例の構成を示す回路図である。

【図17】図15に示した静電保護回路の入力電圧Vinに対する要前に流れる電流の関係を示すグラフである。

【図18】図13に示した静電保護回路の他の実施例の構成を示す回路図である。

【図19】図14に示した静電保護回路の他の実施例の構成を示す回路図である。

【図20】図15に示した静電保護回路がシリコン基板上に形成された様子を示す側断面図である。

【図21】図16に示した静電保護回路がシリコン基板上に形成された様子を示す側断面図である。

【図22】本発明の静電保護回路の第4の実施形態の構成を示す回路図である。

【図23】本発明の静電保護回路の第4の実施形態の他の構成を示す回路図である。

【図24】図22に示した静電保護回路の実施例の構成を示す回路図である。

【図25】図23に示した静電保護回路の実施例の構成を示す回路図である。

【図26】図22に示した静電保護回路の他の実施例の

構成を示す回路図である。

【図 27】図 23 に示した静電保護回路の他の実施例の構成を示す回路図である。

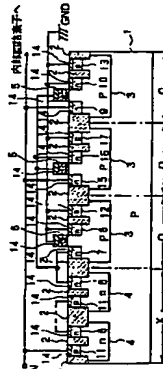
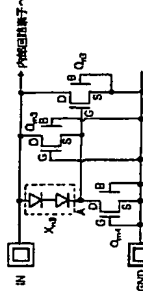
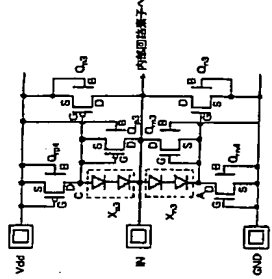
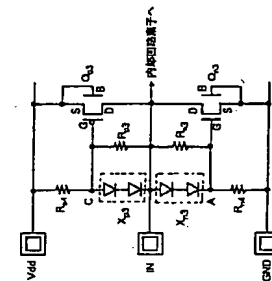
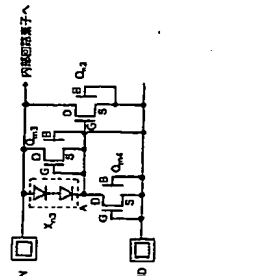
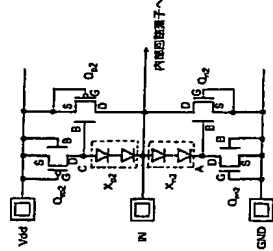
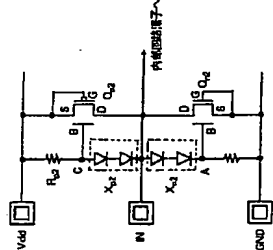
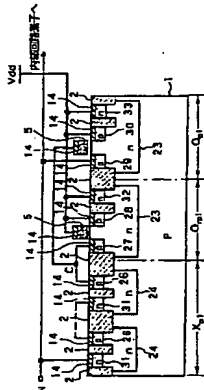
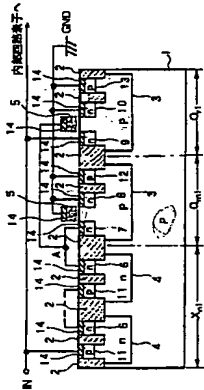
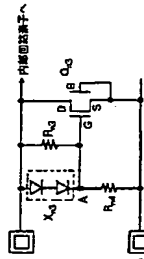
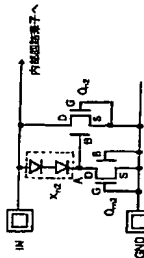
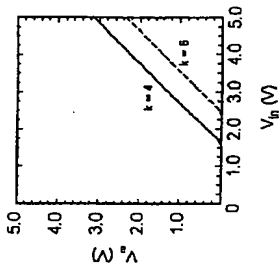
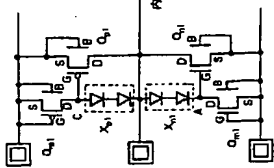
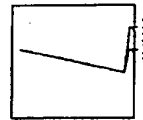
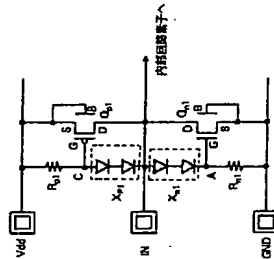
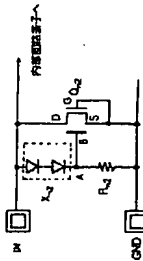
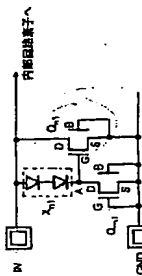
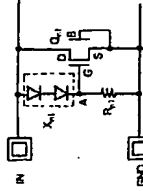
【図28】従来の静電保護回路の構成例を示す回路図である。

【図29】従来の静電保護回路の他の構成例を示す回路図である。

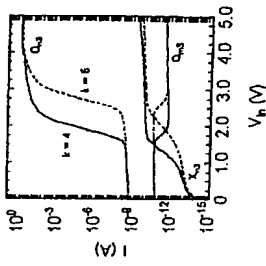
【図30】従来の靜電保護回路の入力電 V_{in} に対する保護用のNOSFETに流れる電流の關係を示すグラフである。

【符号の説明】

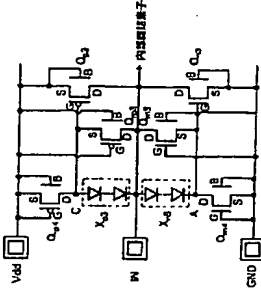
- 1 p 型基板
- 2 聚苯分酸化膜



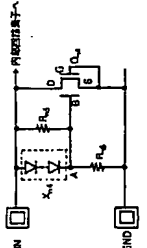
【図17】



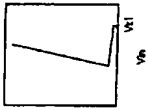
【図19】



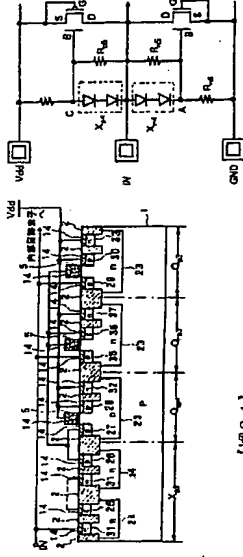
【図22】



【図30】

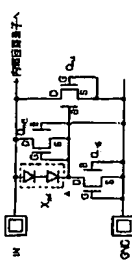


【図21】

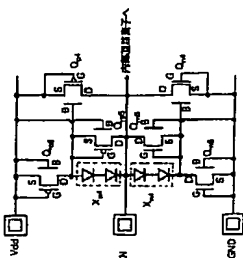


【図23】

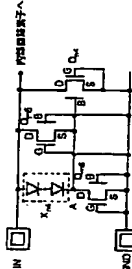
【図24】



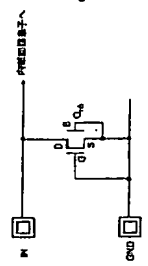
【図25】



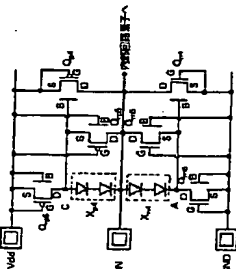
【図26】



【図28】



【図27】



【図29】

